

+3+科技部

110 年度「A 世代前瞻半導體技術專案計畫」說明附件

領域一：Å 尺度半導體關鍵檢測技術

壹、計畫背景及目的

當晶圓製程從奈米進入 Å 尺度，半導體元件的表面積與體積之比將大幅增加一個數量級，不僅內部原子，表面原子的排列、缺陷及其電子結構與引發的量子局限效應預期會對元件的運作表現產生明顯的影響。對於這些結構與量子效應，不僅光學檢測已無用武之地，傳統電子束檢測也無法完全探究。本計畫目標發展 Å 尺度檢測技術，期不僅具備檢測缺陷的功能，還具有解析表面原子與電子結構的能力，達到非破壞性高解析結構與物性化性分析，並具半導體線上整合之未來性，進而提供足夠的資訊而設計有效的 Å 尺度元件製程以提高良率。

貳、研究議題範疇

計畫研究議題將包含但不限於以下項目：

- (1) 用於檢測結構與化學成份之 Å 尺度解析力之技術。
- (2) 建立半導體與多層結構介面和表面 Å 解析度缺陷檢測分析。
- (3) 規劃長遠滿足製程 in-line 的檢測需求。

計畫重點

分析半導體表面與界面的原子級結構，涵蓋(1)線缺陷(<1 nm)及面缺陷的分析及檢測達 Å 尺度；(2)挑戰點缺陷檢測鑑定及分析；(3)化學成份分析達 Å 尺度；(4)發展新穎具元素指紋(finger print)的顯微能譜(micro-spectroscopy)技術，(5)理論與數值分析模擬與計算，以符合半導體產業之材料及元件檢測需求之技術開發，解析奈米尺度之應力分佈等相關技術，實際解決半導體業及檢測業於製程上面臨之問題。

領域二：關鍵半導體元件材料

壹、計畫背景及目的

半導體元件持續微縮的目的在於降低功耗、提升速度並增加集成密度。雖然新的元件架構不斷地被提出與嘗試，傳統半導體元件仍將面臨材料本身的物理極限，持續微縮面臨的問題包含短通道效應、元件熱效應、穿隧漏電效應以及量子現象衍伸的效應等即將到來。本計畫預期開啟新的思維，以開發新穎低維半導體材料技術為基礎，並以開發關鍵元件技術為目標，期能透過挑戰物理極限的低維材料，為下世代前瞻半導體技術開啟新契機。

貳、研究議題範疇（參考技術指標）

（一）開發大面積高品質低維半導體材料生長技術。

1. 高品質之低維半導體材料：材料能隙與矽接近($\sim 1\text{eV}$)，通道厚度 $< 1\text{ nm}$ ，載子遷移率 $> 200\text{ cm}^2/\text{V}\cdot\text{s}$ ，缺陷密度 $< 1\times 10^{12}\text{ cm}^{-2}$ 。
2. 大面積(晶圓尺寸)生長技術等項目：短期實驗室技術以2吋晶圓目標，中期以開發達4吋晶圓為目標，終極目標是由學術與產業共同開發大於4吋晶圓技術，並考量實際產業面需求，挑戰目標8-12吋為產業主導合作開發。

（二）開發低維半導體元件之關鍵技術

1. 低金屬接觸電阻：電阻率短期 $< 1\text{ k}\Omega\cdot\mu\text{m}$ ，中期 $< 500\ \Omega\cdot\mu\text{m}$ ，終極 $< 200\ \Omega\cdot\mu\text{m}$ (挑戰目標 $< 50\ \Omega\cdot\mu\text{m}$)。
2. 非破壞性的材料及元件的轉移技術：轉移溫度 $< 150\text{ }^\circ\text{C}$ ，面積移轉率 $> 99\%$ ；
3. 低維材料與晶片整合，展示低維半導體元件在BEOL (Back End of Line) 之操作，低維材料建構新穎三維 IC等項目。

（三）開發新功能性低耗能元件材料之操控技術及產業應用潛力技術

1. 開發低維材料與新穎量子材料中特殊物性之操控技術(如量子傳輸效應、自旋軌道耦合、多鐵性等等)，建立新世代低耗能電子元件概念及操作模式可行性之評估；

2. 結合材料新穎物性，概念設計(conceptual design)具有產業應用潛力的新穎低耗能元件。

領域三：次奈米半導體元件與晶片關鍵技術探索

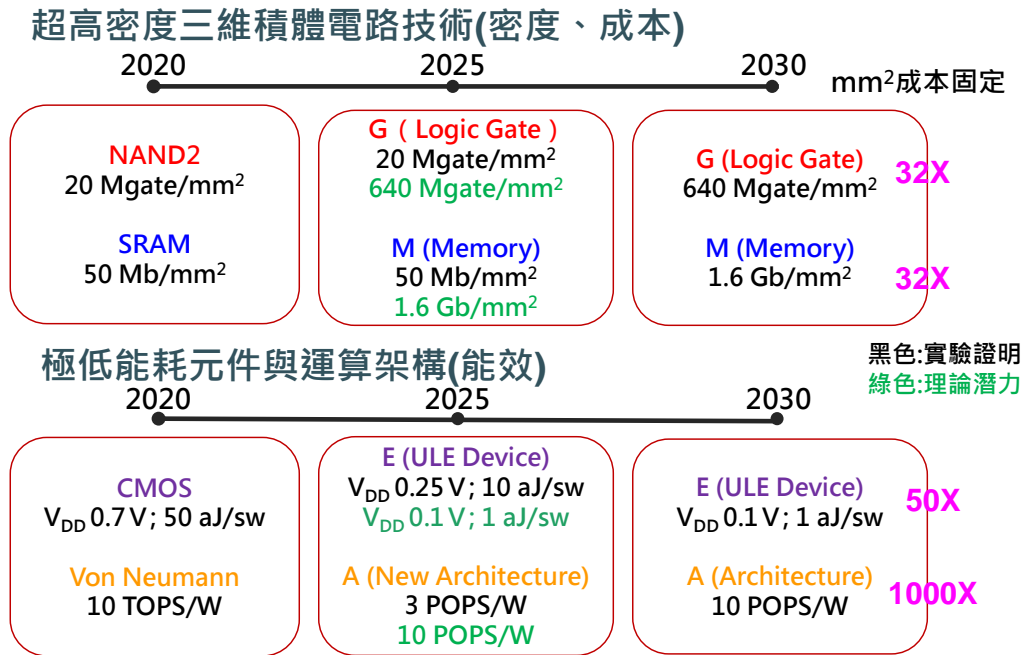
壹、計畫背景及目的

「A 世代半導體技術:次奈米半導體元件與晶片關鍵技術探索」的核心目標為推動半導體產業下一個十年所需前瞻元件與晶片技術之先期布局，開發 2030 年所需之「GAME 超高密度與能效之等效一奈米積體電路技術」，其中 G 指的是 Gate 邏輯閘，A 指的是 Architecture 架構，M 指的是 Memory 記憶體，E 指的是 ultralow-Energy device 極低能耗元件，四者為等效一奈米積體電路技術的重要基石。採用美國 DARPA Grand Challenge 的方式，由政府投入種子基金，突破現有框架，挑戰密度、成本、能耗、能效較 2020 年最先進的五奈米量產技術達十倍以上改善之高難度目標，激發學界提出破壞性之創新解決方案。

我們進一步將 GAME 區分成兩大項關鍵技術開發：**超高密度三維積體電路技術與極低能耗元件與運算架構**。高密度三維積體電路技術的目標是最終於 2030 年能將晶片上的邏輯閘與記憶體密度較 2020 年現有技術提昇三十二倍，並在不增加單位晶圓製造成本下，使單位電路的面積縮小、單價有效降低，延續摩爾定律的經濟誘因。極低能耗元件與運算架構則是為解決目前晶片能耗過高且能效無法滿足高運算量之大數據處理需求，開發極低能耗開關元件與超高能效運算架構，最終於 2030 年能將元件能耗與晶片能效較 2020 年現有技術提昇五十倍與一千倍。本計畫所訂立之 2025 年與 2030 年之挑戰性目標與現有 2020 年技術之比較，如圖一所示。

申請案需針對圖一 GAME 四項技術指標中至少一項提出創新的解決方案與具體的五年技術規劃藍圖(roadmap)。技術規劃藍圖中第一年需完成完整的理論架構，支持所提技術達 2030 年終極目標之可行性，第二年需完成所提技術之雛型驗證供查驗，第五年(2025)需完成計畫全程之挑戰目標。特別說明的是本計畫所列之技術規格，目前全世界並無已知之技術能達成，訂立極具困難之挑戰性目標希望能引導並鼓勵學界勇於提出不同於現有技術之破壞性解決方案，以充分符合本計畫探索未知技術的大挑戰精神。此外，學界開發之先期元件與晶片技術成果未來將技轉予國內半導體產業，進行量產可行性評估，有效降低

產業路線探索(pathfinding)過程之風險。



圖一、等效一奈米積體電路技術指標與計畫執行前後之國際比較

貳、研究議題範疇

(一) 開發高密度三維積體電路技術

過去半導體技術的成功，建立在透過二維的元件微縮同時達到密度增加與單位電路成本下降的好處。但隨著二維微縮趨近於奈米尺度的物理極限，過去的成功模式無法延續，往第三維度垂直方向延伸提高晶片密度是最可行的解決方案。近年來非常成功的例子是三維 NAND 快閃記憶體晶片的快速發展，利用積層型三維積體電路(Monolithic 3D-IC)技術，將記憶體密度由二維 NAND 的極限小於 1 Gb/mm² 大幅提升近一個數量級，以半導體製程技術完成晶圓級的三維積體電路，有效降低單位位元的成本。然而，目前仍無法將類似的三維架構延伸至通用的邏輯運算平台。因此思考如何開發類似三維 NAND 這樣高密度且低製作成本的三維積體電路技術，對未來通用型的等效一奈米邏輯電路技術平台至關重要。近年由 intel 所提出的電晶體元件結構發展藍圖，從平面電晶體進入到目前主流的立體緒式電晶體，未來預期將以垂直堆疊的奈米線、奈米帶或二維奈米帶，進一步提升元件密度以達到等效一奈米的需求。此外，目前導入量

產中的三維嵌入式磁阻式與電阻式記憶體，利用後段導線製程技術實現高密度記憶體，堆疊於標準邏輯晶片之上，有效提升整體晶片密度。上述這些發展中的技術是否能將晶片上的邏輯閘與記憶體密度較 2020 年現有技術提昇三十二倍以上仍待進一步研究，同時也應鼓勵其他有別於傳統電晶體/邏輯閘與記憶體陣列結構的技術，以全新(out-of-box)的思維有效提升邏輯與記憶電路的單位密度與降低單位面積成本。

本分項計畫將鼓勵能應用於通用型等效一奈米邏輯技術平台之邏輯閘與記憶體元件開發。現有最先進的五奈米邏輯技術平台上 NAND2 邏輯閘與嵌入式 SRAM 記憶體密度分別可達 20 MGate/mm² 與 50 Mb/mm²，為達到 2030 年密度提升三十二倍的目標，本分項 2025 年的挑戰目標為驗證全新型態之邏輯閘與嵌入式記憶體，其密度與 2020 年現有五奈米量產技術相當，並以其實驗數據，推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年之最終目標。

因學界並無高密度積體電路整合能力，本分項將以單一邏輯閘或記憶體的高度微縮能力(以單一元件面積大小為指標，例如 20 MGate/mm² 與 50 Mb/mm² 分別為 0.05 μm²/Gate 與 0.02 μm²/bit)為雛型驗證目標，但需輔以適當之模擬與理論工具，說明未來高密度整合(含連接導線)情境下之密度與成本優勢，以接軌未來產業實際應用。

考量此計畫目標，建議的研究主軸包含但不限於下列領域：

- (1) 應用於三維積體電路技術之低成本晶片級半導體通道層堆疊或轉移技術
- (2) 低成本之多層數垂直堆疊元件設計與製作技術
- (3) 垂直式新型態邏輯閘設計(以通用邏輯閘 Universal gates 為佳)與金屬導線連接策略
- (4) 超高密度嵌入式記憶體技術，並可達長時非揮發性資料保存(例如與 NAND 相當性能)
- (5) 超高密度嵌入式記憶體技術，並具有高速寫入速度與良好耐久度(例如與 SRAM 相當性能)

- (6) 超高密度嵌入式記憶體技術，並具有極低的讀寫能耗(例如與 SRAM 相當性能)
- (7) 以先進封裝(含 Chiplet)技術實現超高密度邏輯閘或嵌入式記憶體，並考量低製造成本與散熱設計

(二) 建立極低能耗開關元件與超高能效運算架構

除了尺度微縮的困難外，過去十年來積體電路所遇到最大的挑戰在於如何持續的降低晶片的功耗乃至於單一運算所需的能耗，以支持永無止境的運算需求。目前中央處理器的頻率無法繼續提高就是受限於功耗過高，各式的可攜式設備更在電池技術無法大幅躍進下，無法長時地處理大量的運算需求。運行人工智慧所需的龐大運算量，也將很快地帶來無法負荷的能耗，無法支持 OpenAI 所估計的每四個月人工智慧運算需求倍增之需求，高能效的晶片對未來更強大的人工智慧發展至關重要。為大幅地提高晶片的能效，我們必須思考兩個最基本問題：(1)單一元件的切換能量能否更低，(2)能否透過架構上的革新，提高整體系統能效。

在單一元件的切換能量上，現有場效電晶體元件室溫下量測到的值約需 50 aJ，與熟知的蘭道爾極限(Landauer's limit)，一個不可逆狀態切換的理論極限至少需要 $kT \ln 2$ 的能量相比，理論上仍有很大的改進空間。目前有許多開發中的元件正是以挑戰蘭道爾極限為目標，包含各式穿隧式電晶體、電子自旋元件等，這些研究需要考量有別於傳統場效電晶體的物理、材料、元件結構，無論在科學探索或工程應用上皆極富意義與挑戰，目前這些新興元件也普遍缺乏 aJ 等級切換能耗的實驗驗證。

本分項將鼓勵能應用於通用型等效一奈米邏輯技術平台之極低能耗開關元件與超高能效運算架構開發，推進未來低能耗、高能效運算的極限。在極低能耗開關元件開發上，現有最先進的五奈米邏輯技術平台上電晶體開關元件操作電壓約 0.7 V，單一元件切換能耗約 50 aJ，為達到 2030 年操作電壓降低至 0.1 V，切換能耗提升五十倍的目標，本分項 2025 年的挑戰目標為驗證全新型態之開關

元件雛型，操作電壓 0.25 V，切換能耗 10 aJ，以其實驗數據推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年之最終目標，並挑戰實現邏輯閘雛型。

單一元件的極低能耗是否能有效轉換成系統極高的能效與運算架構息息相關，因大數據的發展趨勢，今日的運算架構已由以運算為核心(computing centric)走向以資料為核心(data centric)，這是因為資料傳輸所消耗的時間與能耗往往遠高於運算資料本身，在傳統范紐曼架構下產生所謂記憶牆(memory wall)的問題，也衍生出目前相當普及的多核心平行圖形處理器的架構。今日被廣泛討論能進一步解決記憶牆問題的新興非范紐曼運算架構包含：近記憶體運算、記憶體內運算、仿生類神經運算等，這些技術的訴求皆以減少或完全避免資料的搬移，將運算單元搬移至更接近記憶體或直接置入記憶體內。運用於人工智慧矩陣運算加速搭配低精度的演算架構，預期有機會將能效由目前 10 TOPS/W 大幅提高至 10 POPS/W (每一焦耳的能量足以進行 10^{16} 次的乘加運算)。但演算架構的改變往往形成所謂的典範轉移(paradigm shift)，需要伴隨著底層元件的創新，電路需要許多類比與數位的混合訊號設計，演算法需要能適應新形態硬體，同時需要先進邏輯與記憶體整合製程的能力來完成硬體製作。上述跨層級的協同開發極具挑戰，卻最有機會實現未來所需之超高能效運算硬體。

在超高能效運算架構開發上，現有最先進的五奈米邏輯技術平台所製作的晶片，在執行人工智慧運算時可達 10 TOPS/W 之能效，為達到 2030 年提升一千倍，達 10 POPS/W 的目標，本分項 2025 年的挑戰目標為驗證全新型態之超高能效 3 POPS/W 運算架構，並以其實驗數據推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年之最終目標。所列之運算架構能效規格，並不限於通用型運算架構，特殊應用型(Application Specific)之運算架構突破亦是本計畫鼓勵之目標，並鼓勵納入人工智慧與資料科學的軟體與系統人才共同開發。上述能效規格得以人工智慧之推論加速晶片設計進行評估，但需考量人工智慧運算中非乘積累加運算部分(如非線性激活函數等)，完整呈現系統整體能效。除人工智慧之推論加速外，人工智慧之高精度訓練加速亦是本計畫鼓勵之重點，考量高精度訓練加速之複雜度高，能效目標得設為上述推論加速的十分之一。

考量此計畫目標，建議的研究主軸包含但不限於下列領域：

- (1) 結合新興材料與物理之超低操作電壓開關元件
- (2) 結合新興材料與物理之超低切換能耗開關元件
- (3) 結合新興材料與物理之超低切換能耗邏輯閘與高密度整合策略
- (4) 非范紐曼運算所需之新興元件與電路開發
- (5) 非范紐曼運算於人工智慧推論晶片之設計與實現
- (6) 非范紐曼運算於人工智慧訓練晶片之設計與實現